

強誘電体ゲートトランジスタの実現と不揮発性メモリ および新規フレキシブル集積回路への応用

徳光 永輔

東北大学 電気通信研究所 IT-21 センター

〒980-8577 仙台市青葉区片平 2-1-1

tokumitu@riec.tohoku.ac.jp

1. はじめに

携帯電話が爆発的に普及し、コンピュータのみならず家庭電気製品までもがネットワーク化されようとしている現在、動画など取り扱う情報量の増大とも相まって、低消費電力の高密度不揮発性メモリの実現が強く望まれている。近年、MRAM や相変化メモリなど、新しい不揮発性メモリが提案されているが、なかでも強誘電体を利用した不揮発性ランダムアクセスメモリ (FeRAM) は、高速、低消費電力、高耐久性等の特長を有する不揮発性メモリとしてすでに小規模ながら実用化されており、他を一步リードしていると言える。さらに、強誘電体をロジック回路に組み込んだ新しい不揮発性ラッチ回路や、動的再構成可能なリコンフィギャラブル回路への応用など、強誘電体メモリの作製プロセスが従来からの CMOS 集積回路の作製プロセスと整合性が良いという特徴を生かした新しい応用が展開されるようになってきた。

強誘電体メモリにはその構成と動作原理によって、図1に示すような「キャパシタ型」と「トランジスタ型」に分類される。実用化が始まっているのは、従来からの DRAM のストレージキャパシタを強誘電体キャパシタで置き換えたメモリセル構造をもつ「キャパシタ型」の FeRAM である。これに対しトランジスタ型は、強誘電体をゲート絶縁膜に用いた「強誘電体ゲートトランジスタ」[1,2] 1個で1ビットを記憶でき、スケーリングも可能で原理的には高集積化に適しており、また非破壊読み出しも可能であるため、理想的な次世代の不揮発性メモリとして期待が高まっている。また、FPGA (Field Programmable Gate Array) 中のスイッチング素子やロジック回路中に用いて、動的に論理機能を再構成可能としたリコンフィギャラブルロジック回路等への応用に適したデバイスである[3,4]。強誘電体ゲートトランジスタの提案は古く、1957年の米国特許[1]にまでさかのぼるが、主に強誘電体とシリコンとの間で良好な界面特性を得ることが難しく、未だに実用化されていない。また、使用する強誘電体材料についても十分に吟味されているとは言い難い。

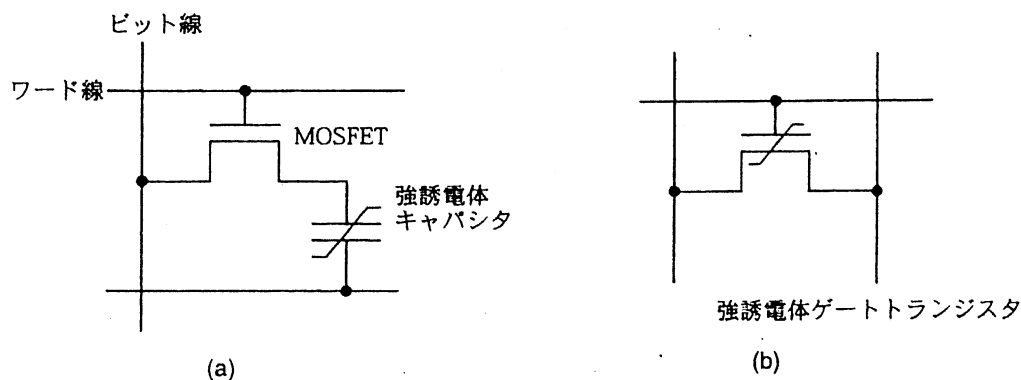


図1 強誘電体メモリセルの構造 (a)キャパシタ型、(b)トランジスタ型

本報告では、まず強誘電体ゲートトランジスタに用いる強誘電体材料にはどのような特性が求められているのかを明確にし、次に従来からの強誘電体 $\text{SrBi}_2\text{Ta}_2\text{O}_9$ (SBT) を用いて作製したデバイスの特性、より適した材料の探索を目的として出発原料として元素置換により特性制御を試みた結果、さらに強誘電体を利用したフレキシブルロジック回路等について述べる。

2. 強誘電体ゲートトランジスタ用強誘電体材料に求められる物性

強誘電体ゲートトランジスタは、図2に示すように、ゲート絶縁膜となる強誘電体の分極によりシリコンの電界効果型トランジスタ (FET) のチャンネルコンダクティビティを制御する。強誘電体の分極状態によって、読み出し電圧をゲートに印加した時にトランジスタに流れるドレイン電流が異なるため、読み出し時にはこれを検出する。別の言い方をすれば、強誘電体の分極により FET のしきい値電圧を制御していることになる。これに対しキャパシタ型の FeRAM では、強誘電体キャパシタにスイッチング用の MOSFET を介して電圧を印加し、強誘電体の分極の反転/非反転に伴う電流 (反転電流/非反転電流) を検出する。

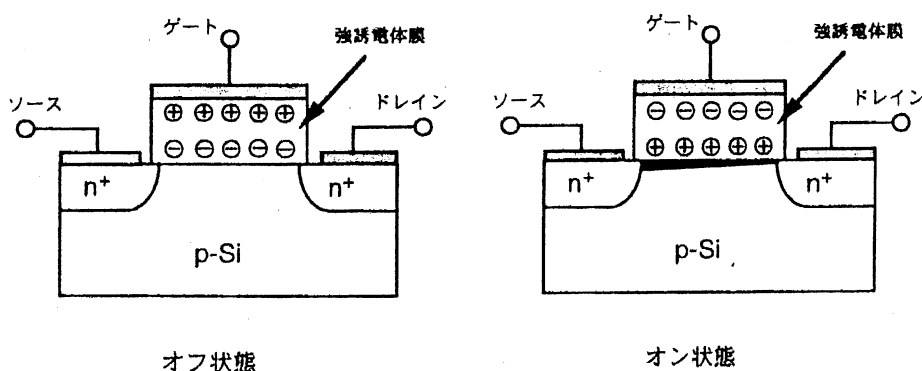


図2 強誘電体ゲートトランジスタの動作原理

以上のような動作原理の違いから、使用する強誘電体に要求される物性は2つの FeRAM では自ずと異なってくる。キャパシタ型ではその動作原理から強誘電体の分極量の絶対値が重要なパラメータであり、キャパシタ面積を小さくしていくと読み出す電荷量が減少していく。従って高集積化のためには強誘電体の残留分極は大きいことが必須条件である。また低電圧動作のためには抗電界が小さいことが望ましい。

一方、強誘電体ゲートトランジスタでは、重要なのは分極の絶対値ではなく、単位面積あたりの電荷量である。従って原理的には高集積化に向いている。ではどのくらいの電荷量が必要となるのであろうか。現在の MOSFET のチャンネルで利用されている電荷量は $1\mu\text{C}/\text{cm}^2$ 程度である。また、ゲート絶縁膜 SiO_2 に、絶縁破壊電界の $10\text{MV}/\text{cm}$ が印加されたとすると、この時の電荷量は $3.5\mu\text{C}/\text{cm}^2$ になる。これらの値は、通常の強誘電体の残留分極値よりはるかに小さい。広く知られている $\text{Pb}(\text{Zr},\text{Ti})\text{O}_3$ (PZT) の残留分極は $30\sim 50\mu\text{C}/\text{cm}^2$ にもなる。このような大きな残留分極をもつ材料を用いた場合、飽和した P-E ヒステリシスループは利用できず、分極の小さなマイナーループしか利用できないことになる。マイナーループでは抗電界 (抗電界という言葉は適切でないかもしれないが、マイナーループ上で分極が 0 となる電界をここでは便宜上抗電界と呼ぶことにする。) も小さくなるため、抗電圧 (抗電界×膜厚) の2倍で与えられるメモリウインドウ (しきい値電圧の変化量) を小さくなり、また記憶保持特性も劣化すると懸念される[5]。従って、トランジスタ型 FeRAM

に応用する場合には、強誘電体の分極量は、トランジスタのチャンネルの電荷量に整合していることが望ましい。

従来までは、浮遊電極を挿入した金属/強誘電体/金属/絶縁体/半導体 (MF₂MIS) 構造を用いて上部の強誘電体キャパシタ部分を下部の MIS 部より小さくすることにより、等価的に強誘電体の残留分極を小さくしてこの電荷不整合の問題を解決してきた。しかし大きな面積の MISFET を用いることは高集積化には向いていない。PZT や SBT など現状の主な強誘電体材料の残留分極は大きすぎるため、残留分極の小さな強誘電体材料を探索することが重要である。しかし、残留分極の小さな強誘電体は抗電界も小さいのが一般的な傾向である。強誘電体ゲートトランジスタのメモリウインドウは抗電圧の2倍で与えられるため、抗電界が小さいと所望するメモリウインドウを得るために膨大な膜厚を必要とすることになり、抗電界が極端に小さいことは強誘電体ゲートトランジスタにとっては必ずしも歓迎すべきことではない。例えば 10kV/cm の抗電界をもつ強誘電体材料を用いたと仮定すると、2V のメモリウインドウを得ようとする、1 μm の膜厚が必要となる。

以上の考察から、強誘電体ゲートトランジスタへの応用には、残留分極が小さく（正確に言えばトランジスタのチャンネルの電荷量にほぼ等しい分極を持ち）、かつ比較的大きな抗電界を有する強誘電体材料を探索することが必要である。これらの条件はキャパシタ型において強誘電体に要求される物性とは正反対であることは興味深い。

3. 強誘電体 SBT を用いた強誘電体ゲートトランジスタの作製と評価

前節での考察から、用いる強誘電体としては比較的残留分極の小さい SBT を用いて強誘電体ゲートトランジスタを作製した。図3は今回作製したトランジスタの断面構造を示したものである。ゲートには金属/強誘電体/金属/絶縁体/半導体 (MF₂MIS) 構造を用いた。この構造は、浮遊電極を挿入した構造で、上部の強誘電体キャパシタを MIS トランジスタの面積よりも小さく設計して等価的に残留分極を小さくできるというメリットがある。使用した強誘電体 SBT の残留分極が約 8μC/cm² と、従来の強誘電体材料のなかでは小さいもののまだトランジスタで使用する電荷量の十倍程度大きい。従って MIS 構造の強誘電体キャパシタに対する面積比 (S_w/S_g) を 10 程度にすれば、強誘電体とトランジスタとの電荷量のマッチングが可能となり良好な特性が得られると期待される。

バッファ層 (I 層) には 100 程度の比誘電率が得られる SrTa₂O₆ (STA) と SiON の積層構造を用いた。SiON は SiO₂ をアンモニアを用いて窒化することで作製し、その上に STA をゾルゲル法で形成した。シリコンとの界面に SiON を用いたのは、良好な界面特性を得るとともに、高誘電率材料である STA をゾルゲル法で形成する際に、Si 基板との界面での不必要な SiO₂ の形成を防止するためである。今回作製した STA/SiON バッファ層の電気的な SiO₂ 換算膜厚は 4.5nm 程度である。

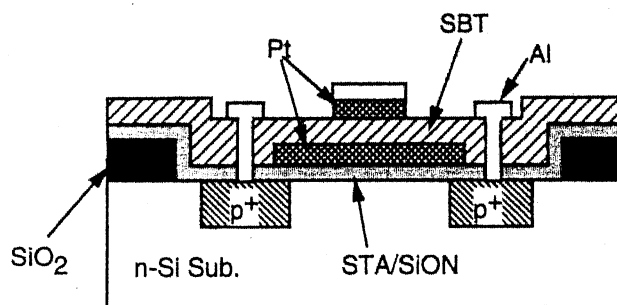


図3 作製したデバイスの断面構造

デバイスの作製プロセスは、予めソースとドレインをイオン注入法によって形成してからゲート構造を作製する非セルフアライン方式を用いた。作製したデバイスのチャンネル長、チャンネル幅は、それぞれ 5μm、50μm、面積比 S_w/S_g は 3 から 15 まで変化させている。用いた強誘電体 SBT の膜厚は 250nm とした。

図4 (a)に面積比 S_M/S_F を 12 としたデバイスのドレイン電流-ゲート電圧 (I_D-V_G) 特性を示す。図に示すように、明確に強誘電性によるヒステリシスが観測されている。しきい値電圧のシフト量 (メモリウインドウ) は、印加電圧とともに増加し、3.5V 印加時にはほぼ飽和していることが分かる。メモリウインドウは抗電圧の2倍で与えられる。使用した SBT の抗電界が 40k/cm、膜厚が 250nm であるので、メモリウインドウの理論値は 2V となり、3.5V 以上を印加した場合の実験値とほぼ一致している。これは 3.5V 以上印加した場合には、強誘電体 SBT の飽和ヒステリシスループを利用できていることを示している。従来、強誘電体ゲートトランジスタは動作電圧が高いことが問題点の1つとされていたが、デバイスパラメータを最適化すれば、3.5V 程度の実用的な電源電圧でも良好な動作を示すことが明らかとなった。図4 (b)には印加電圧を 3.5V として面積比を 3~15 まで変化させた時の I_D-V_G 特性を示す。面積比が 9 以上のデバイスでは動作電圧が 3.5V であっても、 I_D-V_G 特性のヒステリシスが飽和し、2V 程度のメモリウインドウが得られることが分かる。これは当初 10 程度の面積比のデバイスで良好な飽和特性が得られるという大まかな予想と一致している。

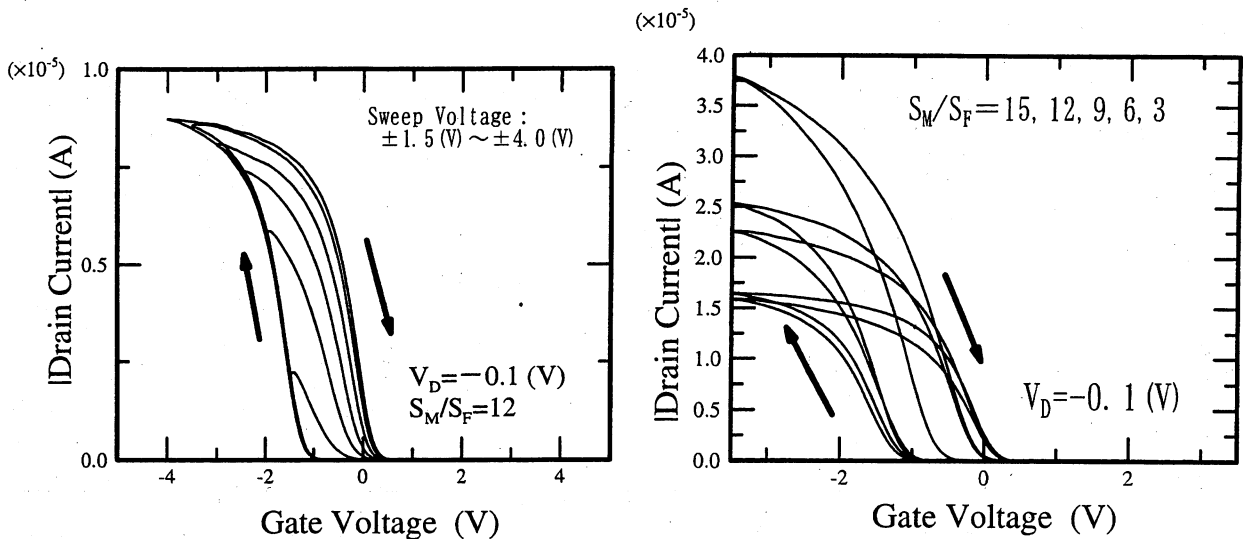


図4 作製した強誘電体ゲートトランジスタの I_D-V_G 特性
 (a) 印加電圧依存性 ($S_M/S_F=12$) (b) 面積比依存性 (印加電圧 3.5V)

次に、作製したデバイスの記憶保持特性を測定した結果を図5に示す。面積比 S_M/S_F が 6 のデバイスと 15 のデバイスを比較した結果である。プログラム電圧は 3.5V とした。面積比 6 のデバイスでは、 10^3 秒程度の時間が経過するとともにオフ電流が上昇し、記憶保持特性が劣化していくことが分かる。これに対し面積比が 15 のデバイスでは、記憶保持特性が改善され、10 時間経過後も 3 桁程度のオンオフ比を保持している。図4から、面積比が 15 のデバイスでは飽和ヒステリシスループを利用しているが、面積比が 6 の場合には、強誘電体の飽和ヒステリシスループで

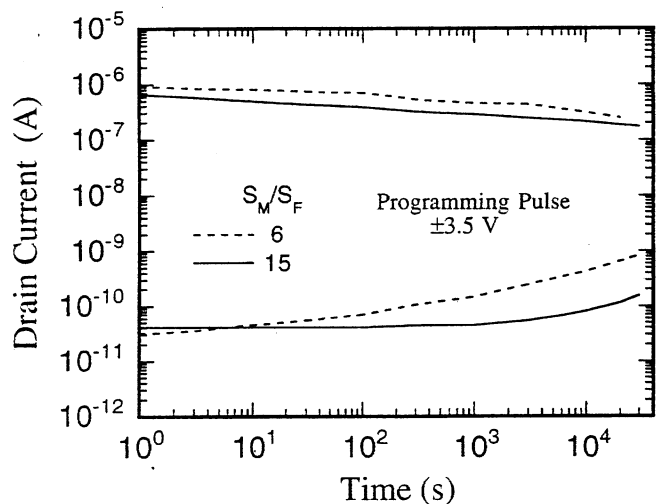


図5 作製したデバイスの記憶保持特性

はなくマイナーループを使用しているものと考えられる。従って、長い保持時間を得るためには、強誘電体の飽和ヒステリシスループを利用するようにデバイスを設計することが必要となる。

4. SBT系新規強誘電体材料の探索

前述のように、SBTを用いて良好な特性をもつ強誘電体ゲートトランジスタを作製するためには、下部のMISトランジスタの面積を上部の強誘電体キャパシタの10倍以上としなくてはならない。このような素子構造は高集積化に向いていない。これは使用した強誘電体の残留分極がまだ大きすぎるのが主原因である。従って強誘電体ゲートトランジスタ用の材料を探索するにあたっては、残留分極を小さくすることが必須である。本研究では、従来材料の中では残留分極の比較的小さな $\text{SrBi}_2\text{Ta}_2\text{O}_9$ (SBT)を出発点とし、SBTに様々な元素を置換して、その物性を評価した。目標とした値および物性は、(i) 残留分極 P_r が $3\mu\text{C}/\text{cm}^2$ 以下、(ii) 抗電界 E_c が $100\text{kV}/\text{cm}$ 程度、(iii) 良好な矩形性をもつP-Eヒステリシスをもつこと、(iv) リーク電流が小さいこと、である。残留分極 P_r が $3\mu\text{C}/\text{cm}^2$ 以下というのは SiO_2 の絶縁耐圧に対する電荷量が $3.5\mu\text{C}/\text{cm}^2$ であること、さらに現状では高誘電率材料をバッファ層に用いた場合でも、最大誘起電荷量が SiO_2 の場合と同程度であることを根拠としている。抗電界の目標値は、将来50nmの膜厚の強誘電体を用いて1Vのメモリウインドウを得ることを考慮し、「メモリウインドウ=2x抗電界x膜厚」の関係から $100\text{kV}/\text{cm}$ 程度を目標値とした。また、データ保持を考慮した場合、リーク電流が小さいこと、P-Eヒステリシス特性の矩形性が良好なことが重要となる。

今回の実験で、SBTに添加した元素はNb、Ba、Smであるが、本稿では特に有望な結果が得られたSm置換SBTに関して報告する。SBTの代表的な物性値は残留分極が $10\mu\text{C}/\text{cm}^2$ 程度、抗電界は $40\text{kV}/\text{cm}$ 程度である。Sm置換が抗電界を大きくすることがバルクでは最近になって報告された[6]が、薄膜で評価した例はない。本研究では、まず優れた電気的特性が得られるSr欠損、Bi過剰の $\text{Sr}_{0.8}\text{Bi}_{2.2}\text{TaO}_9$ (SBT)を出発点として、Smを添加した $\text{Sr}_{0.8(3/2)x}\text{Sm}_x\text{Bi}_{2.2}\text{TaO}_9$ (SSBT)を作製した。SmはSrと置換することが予想されるが、通常Srは2価であるのに対し、Smは3価である。従ってSm添加の場合には、初期状態で0.8であるSr組成は、添加するSm組成xに対して $0.5-(3/2)x$ とSm組成の1.5倍減少させた。この場合、同時にSr欠陥も導入していることになる。

これまでもバルクながら、SBTのAサイトにSm、Nd、La等を置換したとの報告がなされている。今回は、ゾルゲル法で薄膜を形成した。ゾルゲル原料液には、 $\text{Sr}_{0.4}\text{Sm}_{0.27}\text{Bi}_{2.2}\text{TaO}_9$ (SSBT)、 $\text{Sr}_{0.8}\text{Bi}_{2.2}\text{TaO}_9$ (SBT)、 $\text{Sr}_{0.5}\text{Sm}_{0.33}\text{Bi}_{2.2}\text{TaO}_9$ (SSBT)、 $\text{SrBi}_2\text{Ta}_2\text{O}_9$ (SBT) (濃度:0.33mol/kg)を用いた。これら4種類のゾルゲル原料液を混合してSSBT膜を作製した。Sm組成は0から0.27まで変化させ、結晶化のための焼成温度は $750\sim 850^\circ\text{C}$ とした。

得られたそれぞれの組成、アニール温度におけるP-E特性を図6に示す。いずれの場合にも矩形性の良好な強誘電特性が得られている。Smを添加しない場合、文献値と同様の比較的大きな残留分極が得られていることがわかる。特徴的なのは、特に 850°C で焼成した場合、残留分極がSm組成とともに顕著に低下していることである。Pr、 E_c のSm組成依存性を図7に示す。Smを添加していくに従い、残留分極が単調に減少し、抗電界が増加していることがわかる。Sm組成0.21のSSBT膜の残留分極(Pr)は $1.7\mu\text{C}/\text{cm}^2$ 、抗電界(E_c)は $83\text{kV}/\text{cm}$ であり、当初目標とする値をほぼ達成している。図8は、Sm組成が0.14および0.21のSSBT膜の電流-電圧特性である。比較のためSmを添加していないSBT膜についても測定結果を示してある。いずれの試料においても $10^{-8}\text{A}/\text{cm}^2$ 台のリーク電流であり、良好な特性が得られた。Smを添加することによるリーク電流の増大等は認められない。

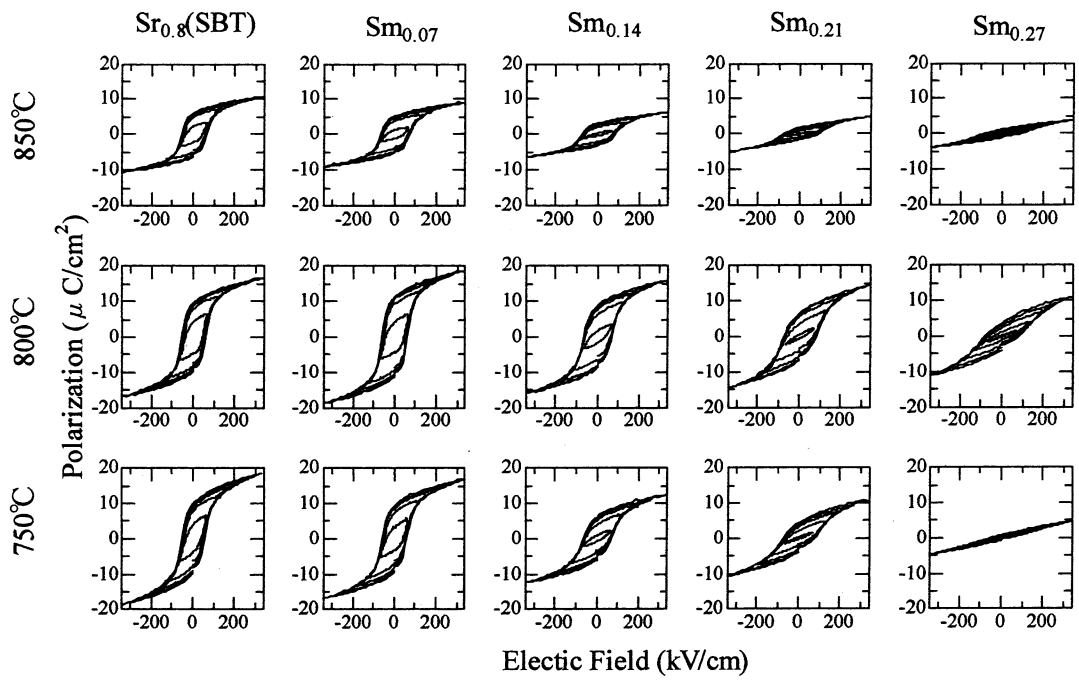


図6 (Sr, Sm)_{0.8}Bi_{2.2}Ta₂O₉ (SSBT) 薄膜の P-E 特性

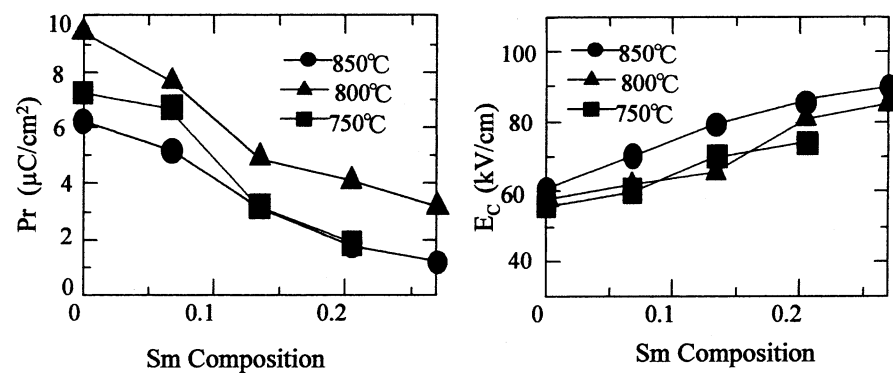


図7 (Sr, Sm)_{0.8}Bi_{2.2}Ta₂O₉ (SSBT) 薄膜の Pr, Ec の Sm 組成依存性

以上の結果から、今回作製した SSBT 膜は小さい残留分極と比較的大きな抗電界を合わせ持ち、かつリーク電流も小さく、P-E ヒステリシスループの矩形性も良好である。これらの特徴は、SSBT 膜が強誘電体ゲートトランジスタに適した材料であることを示している。現在、この SSBT を用いた強誘電体ゲート構造ならびに強誘電体ゲートトランジスタの試作を進めている。

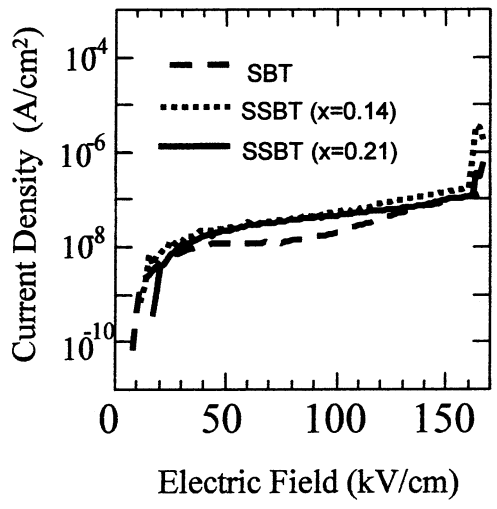


図8 SSBT 膜の電流—電圧特性

5. 強誘電体を用いたフレキシブル論理ゲート

近年、強誘電体はメモリ素子としてばかりではなく、近年ロジック回路への適用も検討されるようになってきた。近年、動画等に代表されるように取り扱われる情報量は増加する一方である。また携帯端末等の普及により、小型で消費電力の小さい集積回路が要求されている。さらに、無線通信等においては多様な規格が乱立し、これらの様式に対応できる新しい概念の集積回路が求められている。その一つとして、動的再構成可能なリコンフィギャブルロジック回路が挙げられる。これは、目的に応じて論理回路（ハードウェア）を書き換えることのできる特長をもっている。現在、ユーザが自由にプログラムできる論理集積回路としてFPGA（Field Programmable Gate Array）が普及しているが、これに強誘電体メモリを用いることで、動的再構成可能な集積回路を実現しようとする動きがある。

本研究では、このような背景から、強誘電体を用いてトランジスタレベルで、その論理機能を変更できる論理ゲートの研究を行った。本研究で検討した論理ゲートを図9に示す。柴田らにより提案されたニューロンMOSインバータ[7]の制御キャパシタを強誘電体キャパシタで置き換えた構造をしている。この強誘電体キャパシタの分極によって、CMOSインバータ上に配置された浮遊電極の電位を制御して、可変演算を実現する。このインバータの動作は以下のように説明できる。入力電圧の組 $(V_{IN1}, V_{IN2}) = (0, 0)$ の時、 V_{OUT} は論理1、 $(V_{IN1}, V_{IN2}) = (1, 1)$ の時は論理0を出力する。入力電圧の組が $(V_{IN1}, V_{IN2}) = (1, 0)$ または $(V_{IN1}, V_{IN2}) = (0, 1)$ の時は、強誘電体の分極によって、0を出力するか1を出力するかが決まる。従って、強誘電体の分極の向きによって、NANDとNORの論理演算を切り替えることが可能となる。

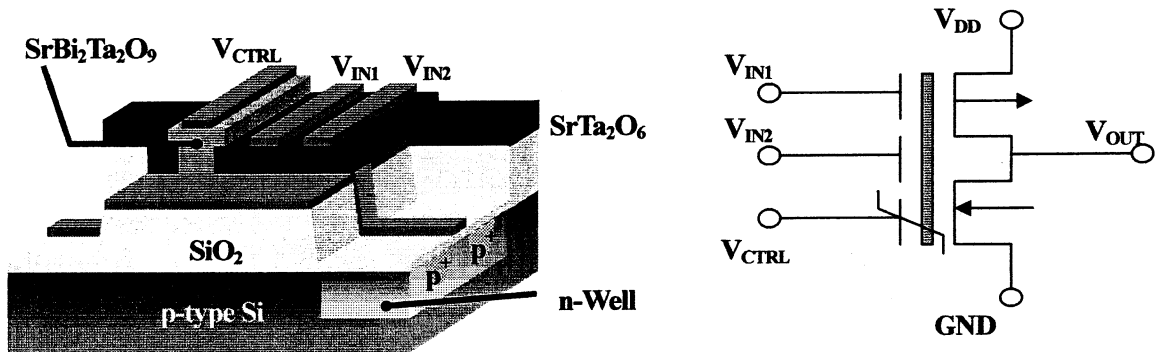


図9 強誘電体を用いたニューロンMOSインバータ

本研究では、強誘電体の実測データをもとに、このCMOSインバータの設計を行った。強誘電体の分極によって浮遊電極の電位を制御して、NANDとNOR演算の切り替えができるようにするためには、浮遊電極上の入力キャパシタと、制御用の強誘電体キャパシタの面積を正確に決定する必要がある。図10は設計した強誘電体ニューロンMOSインバータの入出力特性をSPICEシミュレーションにより求めたものである。強誘電体にはSBTの実測データを用いた。この図から分かるように、強誘電体の分極によってインバータのしきい値が2.3Vほどシフトさせることが

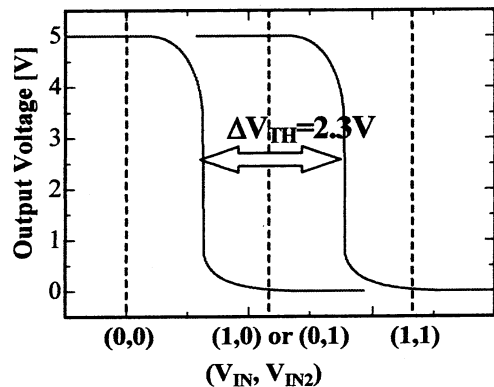


図10 強誘電体ニューロンMOSインバータの入出力特性

できることがわかる。出力電圧を2値入力に対してプロットした図10に示した通り、強誘電体を用いた制御キャパシタの分極のより、同一構造でありながら NAND と NOR 回路の両方を実現できることがわかる。

6. まとめ

本研究では、理想的な不揮発性メモリ素子と言われる強誘電体ゲートトランジスタを実現し、さらに新しい応用技術を開発する研究を行っている。特に本稿では、最初に強誘電体ゲートトランジスタに応用するためにはどのような特性が強誘電体膜に要求されるかを明らかにした。特に残留分極値をトランジスタの使用している電荷量と整合させ、飽和ヒステリシスループを使用することが、良好な特性を得る上で重要であることを指摘した。次に、強誘電体 $\text{SrBi}_2\text{Ta}_2\text{O}_9$ (SBT) と $\text{SrTa}_2\text{O}_6/\text{SiON}$ バッファ層を用いた金属/強誘電体/金属/絶縁体/半導体 (MFMS) 構造により、3.5V 以下で動作する実用レベルの強誘電体ゲートトランジスタを実現した。さらに、強誘電体ゲートトランジスタ用の新しい強誘電体材料を探索し、従来からの SBT の Sr を一部 Sm に置換した $(\text{Sr}, \text{Sm})_{0.8}\text{Bi}_{2.2}\text{Ta}_2\text{O}_9$ (SSBT) 薄膜を作製した。Sm 置換量が増加するに伴い、抗電界が増加すると同時に、残留分極が顕著に減少することを明らかにし、Sm 組成が 0.21 の SSBT において、残留分極 (Pr) $1.7 \mu\text{C}/\text{cm}^2$ 、抗電界 (E_c) $83 \text{ kV}/\text{cm}$ が得られ、この材料が強誘電体ゲートトランジスタに適していることを示した。また、強誘電体を用いたニューロン MOS インバータを提案し、NAND と NOR の論理演算が強誘電体の分極によって切り替え可能であることを示した。今後は、新しい材料 SSBT を用いた強誘電体ゲートトランジスタを作製し、記憶保持特性をさらに改善するとともに、新しい構造のデバイスの解析と作製を行う。また、リコンフィギュラブルロジック回路やアナログ集積回路への応用等を検討を進めて行く予定である。

参考文献

- [1] I. M. Ross, US patent 2791760 (1957).
- [2] J. L. Moll and Y. Tarui, IEEE Trans. Electron Devices, vol.ED-10, 333 (1963).
- [3] E. Tokumitsu, N. Kawaguchi and S. M. Yoon, Technical Report of IEICE, vol.101, no.164, 109, July 2001. (SDM2001-94)
- [4] H. Kimura, T. Hanyu and M. Kameyama, J IEICE, Vol.J83-C, 749 (2000).
- [5] E. Tokumitsu, K. Okamoto and H. Ishiwara, Jpn. J. Appl. Phys., vol.40, no.4B, 2917 (2000)
- [6] 野口祐二、宮山勝、第 62 回応用物理学会学術講演会予稿集 p.385 (2001)
- [7] T. Shibata and T. Ohimi, IEEE Trans. Electron Devices, 40, 570 (1993)