

# パルス伝達による可変シナプス型神経回路の集積化とその測定

LSI Implementation of Pulse-output Neural Network with Programable Synapse

山 孝之                      湯峯 学                      佐藤茂雄  
Takayuki YAMA    Manabu YUMINE    Shigeo SATO  
室田淳一                      中島康治                      澤田康次  
Junichi MUROTA   Kohji NAKAJIMA   Yasuji SAWADA

東北大学電気通信研究所

Research Institute of Electrical Communication, Tohoku University  
Sendai 980, Japan

## 1 はじめに

神経回路研究で言われる構成的手法というのは、本質を失うことなく生体の神経系をモデル化することから始まる。このことは、ハードウェアに関しても同じことである。速度の点から見た場合、生体の神経細胞の動作自体はそれ程優れたものではない。人間の脳が知的である理由は、進化の段階で得てきた構造(アルゴリズムを含む)と mass の大きさにあると考えられており、そのハード化であるニューロチップについて様々な試作が行われてきた。大規模にするには神経素子を小さくできるアナログが有利であるが、学習その他の制御については積み重ねのあるデジタルが向いている、などと言われてきた。我々は以前 CMOS を用いた完全アナログのチップを試作した [1]。しかし、アナログ回路ではノイズや誤差があり、特に大規模系の実現においては深刻な問題となる。そういった経緯を踏まえて、本稿で提案する回路は、膜電位での加算は電流(アナログ)で行い、ニューロンの出力はパルス(デジタル)で表現するというものである。この方式は以前ディスクリート IC について古賀ら [2] によって提案されたが、生体の神経細胞の処理と全く同じものである。

パルスによる結合は情報の損失を防ぎ、チップ間結合を容易にするといった特徴がある。また情報処理に関して何らかの重要な役割を担っている [3] と考えらる雑音についても、NAND などによって容易に取り込むことができ、ボルツマンマシンとしての動作を可能にする [4]。以下、パルス型神経回路の設計、試作およびその測定結果について述べる。

## 2 パルス型神経回路の構成

冒頭でも述べたが、大規模なネットワークの足がかりとして設計したこのパルス型神経回路は、前段で電流和を RC 回路により膜電位に変換しその膜電位をパルスに変換するニューロンと、その出力パルスを電流に変換するシナプスにより構成され、アナログ-デジタル混合型の回路となっている。さらにニューロン、シナプスを個別に集積化すること

により容易に規模を拡張することができる。

### 2.1 ニューロン回路

ニューロンは、閾値回路、ノイズ合成回路、出力制御回路の3つの部分から構成され、図1に全回路図を示す。

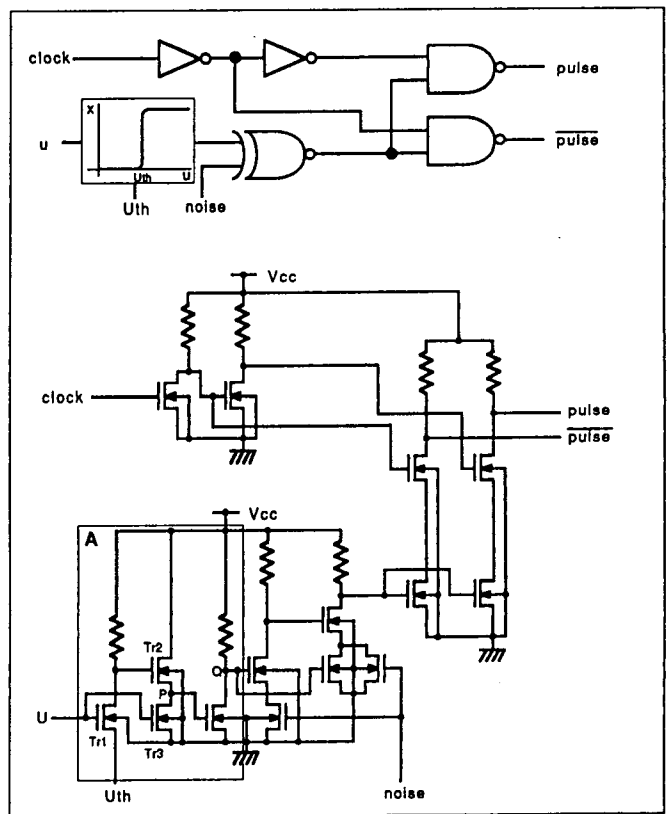


図1: ニューロン回路図

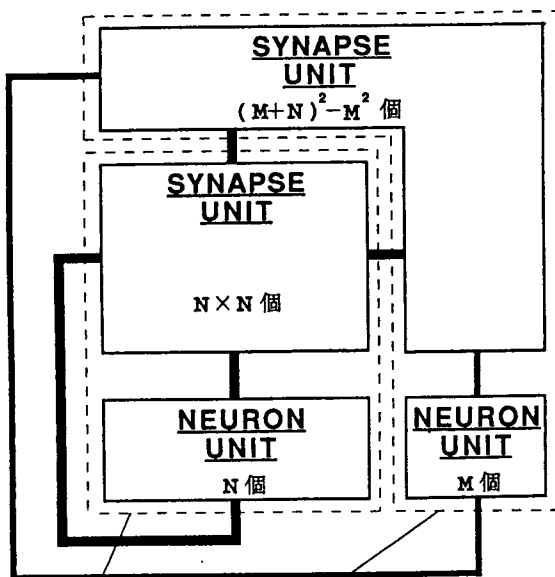
閾値回路は図1のAで囲まれている部分である。  $u - u_{th}$  が  $Tr1$  の閾値に達するまでは  $Tr3$  の ON 抵抗が徐々に下がり、その間は  $Tr2$  の ON 抵抗はほぼ一定であるので P 点の電位は  $Tr2, Tr3$  の抵抗の比に従って低下する。 さらに  $u$



ニューロンより出力がない場合、平均電流は  $NI_0$  となり、この時の膜電位が静止膜電位となる。興奮性と抑制性はこの平均電流を基準とした相対的な値で区別されるため、特に2つの結合を別々に用意する必要はない。回路図中の  $V_{st}$  はNMOSの飽和電流を決めるためのものである。NMOSはゲート電位が高くなると飽和領域が始まるドレイン-ソース間の電位も上がる。このためNMOSを定電流源として機能させるためには膜電位の下限電位が飽和領域に収まるように  $V_{st}$  を調整する必要がある。

### 2.3 ネットワークの構成

シナプスとニューロンを個別に製作した事で、ネットワークはそれらのユニットを結合する事で構成できるようになった。このユニットを必要な数だけ用意する事で任意の規模でネットワークが構築できる。また、ネットワークの規模の拡張においても、これまでのネットワークに新たなユニットを用意し、結合することでそれを実現できる(図5)。特に、全結合の規模の大きいネットワークを新たに構築する場合、その膨大な配線が問題となるが、これまでのネットワークを利用して規模を大きくできる事のメリットは大きいと考えられる。配線の増加による損失は、ニューロンの出力がパルス伝達(デジタル値)である事と、シナプスの出力が電流出力、つまり伝送路のインピーダンスが低い事から雑音に対して充分小さく抑えられると考えている。ネットワークによってはシナプス荷重のダイナミックレンジを大きく取りたい場合がある。この場合荷重の大きさもまた電流和によって表されているのでシナプスを並列に接続し、ひとつのシナプスと見なすことにより荷重の範囲を拡げることができる。



これまでのネットワーク  
新たに追加したネットワーク

図5: 神経回路の構成

### 3 試作

本回路はすべてNMOSと高抵抗によって構成される。 $2\mu\text{m}$  ルールのCAD設計により8枚のマスクを製作の後、実際の試作を行った。具体的な試作プロセスは表1に示す。試作したチップの写真を図6、図7に示す。1チップ当たり、シナプスは8個(Tr 232個)、ニューロンは4個(Tr 54個)の構成である。なお、高抵抗は  $10\text{M}\Omega$  の値を得た。

1.	素子間分離
2.	ゲート形成
3.	高濃度層形成
4.	高抵抗体形成
5.	コンタクトホール形成
6.	配線
7.	パッド形成

表1: 試作のプロセス

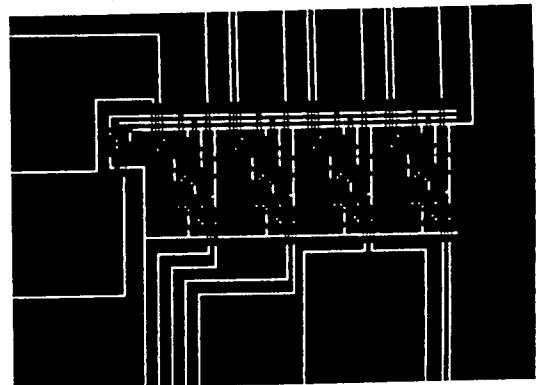


図6: ニューロンチップ

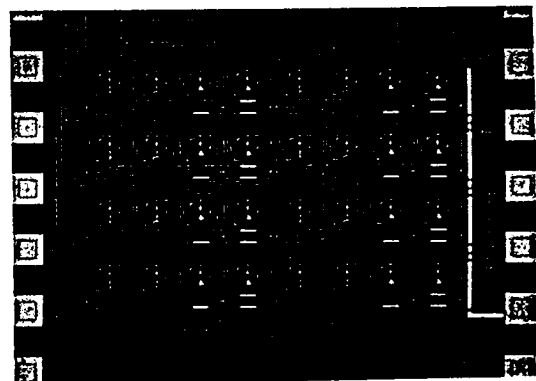


図7: シナプスチップ

### 4 実験結果

#### 4.1 単体としての動作結果

試作した回路が設計どおりに動作しているか、また回路の電気的な性能について測定を行った。まずニューロンの閾値に関する測定を行った。図8は、回路に設定する閾値と実際

の閾値との関係である。測定の条件として、外部から入力されるパルスは定電圧 ( $V_{CC} = 5V$ ) とし、出力のプルアップ抵抗は、 $100k\Omega$  とした。次に、動作可能な周波数を測定するため、ニューロンが発火するように膜電位と閾値を設定した上で、外部パルスの周波数を変化させ、出力の波形を調べた。図9が測定結果である。チップの内部では、高抵抗を使用している事と、ゲート容量によりNMOSの立ち上がりの遅れが予想される。また、NMOSのON抵抗が比較的高い事、ドレイソース間の容量といった理由のため、プルアップ抵抗の選択が難しくなっている。この測定では、 $100k\Omega$  とした。なお、結果から使用可能な周波数は、 $10kHz$  程度までである。

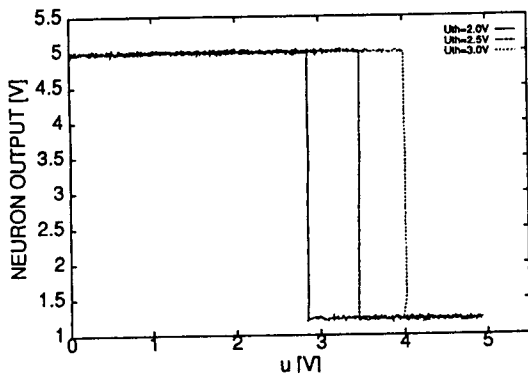


図8: ニューロン閾値特性

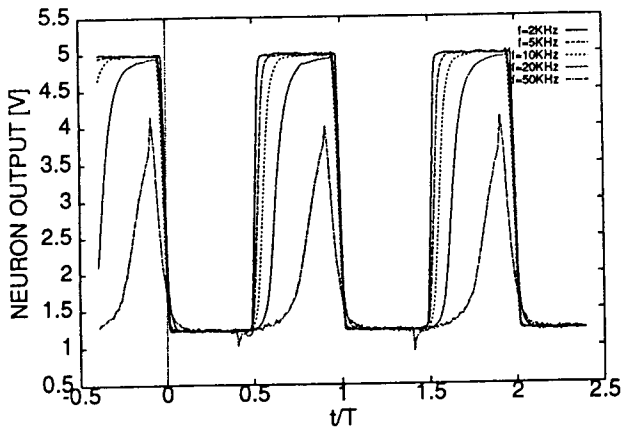


図9: ニューロン周波数特性 ( $u = V_{CC}, u_{th} = 2.0 V$ )  
ニューロンの外部パルスの周波数を2, 5, 10, 20, 50kHzと変化させている。 $f = 20kHz$  から波形がなまり、 $50kHz$  では動作していないことが解る。

シナプスの荷重値と電流の関係調べたのが図10である。膜電位は $5V$ とし、荷重値を0から15の整数値に設定しながら、電流値を測定した。設定が行われ飽和領域に達するまでは、幾らか遅れが生じるので、設定の間隔は、十分に余裕をもたせて測定した。この測定では、定電流源用のMOS

のゲート電圧を $1.5V$ にしているが、実際に使用するときは、消費電力を抑える為にもゲート電圧を下げて使用する。後で述べるA/Dコンバータでは、約 $1.3V$ としている。

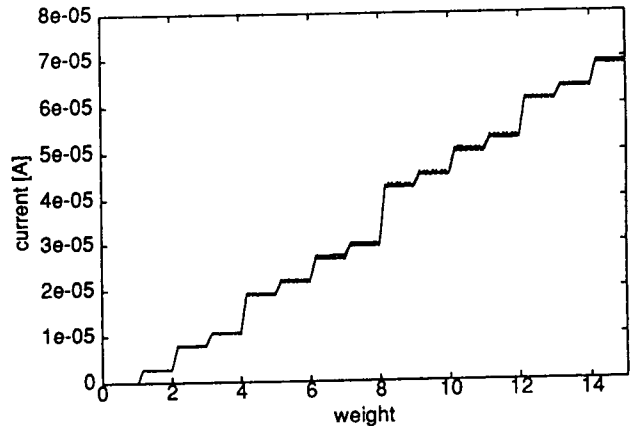


図10: シナプス: 荷重値-電流特性

## 4.2 A/Dコンバータとしての動作

ネットワークとしての性能を計る意味で、どんな問題を解かせるかは興味深い問題であるが、ここでは正確な荷重値を要求するA/Dコンバータとしての動作について述べる。A/Dコンバータとして、次の荷重値を用いた。

$$T_{ij} = \begin{cases} -2^j, & j > i \\ 0, & j \leq i \end{cases}$$

$$I_i = x - 2^i + 0.5$$

3ビットの動作結果が図11である。図、上からアナログ入力、ニューロン2 (MSB), 1, 0 (LSB) の出力であり、確実に動作している事が解る。ニューロンの時定数は $RC$ の積で決まり、この実験では $10msec$ であり、これより充分遅い変化で入力を加えている。図10に見られるような荷重値に対する電流値の誤差が、LSBであるニューロン0の特性に影響を与えている。

## 5 考察

厳密な荷重値を要求するA/Dコンバータはアナログ回路にとっては、難しい問題であるが正確さは、シナプスを並列につないでダイナミックレンジを大きくすれば、相対的に確保されるはずであるし、アソシエトロン[5]などのように連想記憶ではそれ程正確さは要求されないであろう。

またアナログ回路との比較の例として、図12にCMOSによるニューロン、シナプスを示す。この回路のシナプスはCMOSの後段のNMOSの $W/L$ によって荷重値を実現するのであるが、出力が電圧値であるため負荷の影響が出やすく、ファンアウトに問題がある。それに対して、パルス型ではシナプスは定電流源であるため、負荷には依存しない。ただ

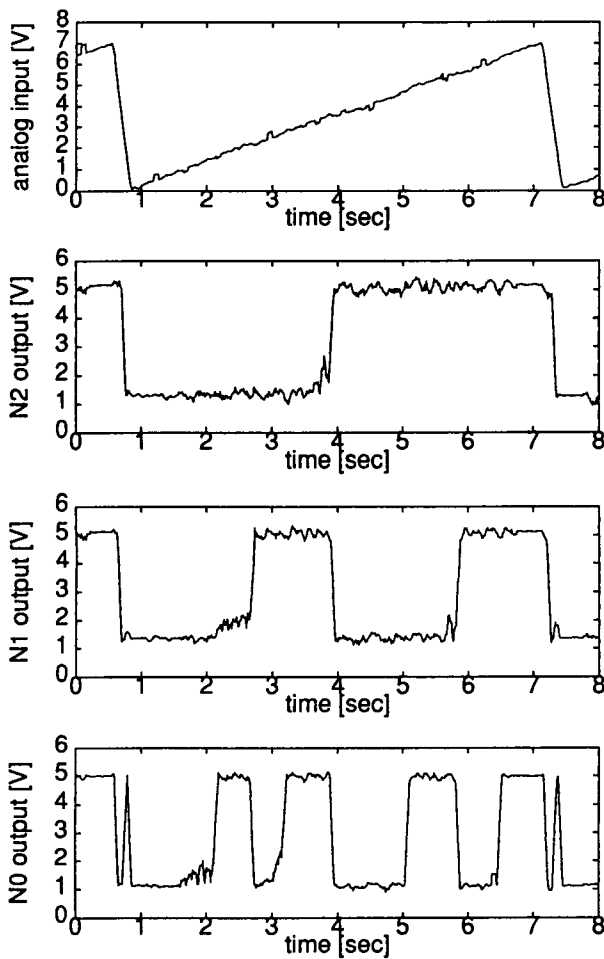


図 11: A/D コンバータとしての動作結果

し、アナログ回路についてはもっと改良の余地もあるが、その分回路が複雑になり集積度を落とすこととなる。またパルス型回路ではニューロンをトリガーするクロックを充分速くすれば、RCの積で動作が決まりアナログ的処理が可能となる。

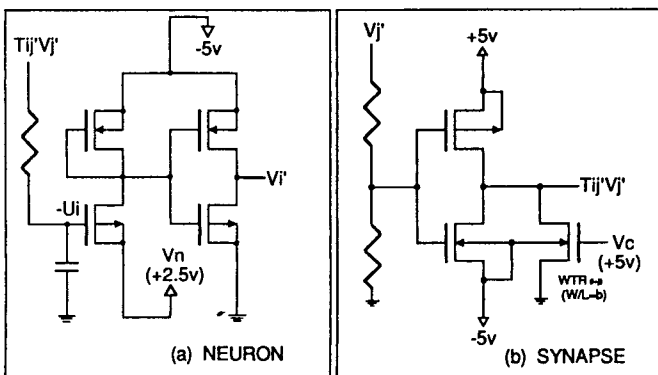


図 12: CMOS 構成によるニューロン, シナプス (文献 [1])

## 6 おわりに

パルス伝達ニューロンを用いたシステムの拡張性を旨とした神経回路を提案し、その動作を確認した。現段階ではパッケージに収めたチップはシナプス 50 個、ニューロン 50 個である。実験で用いたのは 4 ニューロンの回路網であるが、構成的に 16 ニューロンに拡張したボードも製作している。発表当日は、もっと大きな回路についてヤボルツマンマシンとしての実験結果を報告する予定である。問題点としては、シナプスのチップごとの電流値のばらつきやチップ内での電流比の狂いをどう抑えるかがあげられる。今後の課題として、シナプスの集積度を上げるため今回は技術的問題から見送ったフローティングゲートを用いた回路やニューロンの多機能化を検討している。アナログ回路の利点は多数の素子を集積化できることにあるが、本回路では荷重値の記憶のため SRAM を用いているためその特徴が完全に生かされているとは言い難い。従ってフローティングゲートを利用した回路の開発が急務となるが、フローティングゲートはその書き込みがパルスで行われるため、本稿で述べたようなパルス型のニューロンとは相性がよく、AND 回路 1 個で HEBB 則を実現できることになる。最後に、本稿で提案した回路はアナログとデジタルの間に位置するものだが、生体を模倣したパルス型の神経回路が両者の利点を取り入れることができると言うのは大変興味深いことである。

## 謝辞

本研究に対して研究助成、支持をして頂いた石原記念財団に深く感謝の意を表します。またチップのパッケージングに協力して頂いた宮城沖電気の本林氏、吉岡氏に感謝します。

なお、本研究は東北大学電気通信研究所附属超微細電子回路実験施設で行われました。

## 参考文献

- [1] 佐藤 他, "非対称結合神経回路による A/D コンバータの集積化", 信学論, Vol.75-C II, No.2, pp.103-111 (1992)
- [2] 古賀, 星宮, 松尾, "神経回路網の構成要素としてのハードウェアニューロンモデル", 信学論, J63-C, 1 (1980)
- [3] R.Linsker, "Self-Organization in a Perceptual Network, *IEEE Computer*", Vol.21, No.3, pp.105-117 (1988)
- [4] 近藤, 澤田, "ゆらぎのあるパルス列を用いた確率的ホップフィールドモデル", 信学技報, NC90-46 (1990)
- [5] 中野, 『アソシアトロン』, 昭晃堂, 1979 年
- [6] M.Holler et al., "An electrically trainable artificial neural network (ETANN) with 10240 'floating gate' synapses", *Proc.IJCNN89*, vol.2, pp.191-196, 1989